

# MANUFACTURE OF DIGITAL MICROMIRROR DEVICE BY LOW TEMPERATURE CVD

<b>Patent number:</b>	JP8201708
<b>Publication date:</b>	1996-08-09
<b>Inventor:</b>	BAILEY WAYNE E; BAKER JAMES C
<b>Applicant:</b>	TEXAS INSTR INC <TI>
<b>Classification:</b>	
- international:	G02B26/08; B29D11/00; G02B5/08
- european:	
<b>Application number:</b>	JP19950253961 19950929
<b>Priority number(s):</b>	

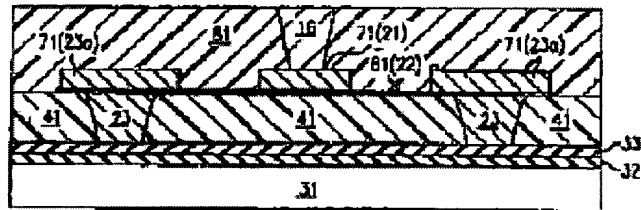
**Also published as:**

 US5526951 (A1)

## Abstract of JP8201708

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing an advanced strute for micromechanical device having high light utilizing efficiency, the whole upper surface of which is formed of a reflective mirror element.

**SOLUTION:** Conductive layers 33, 71 are accumulated in all positions to arrange struts 16, 23 on a base. Spacer layers 41, 81 are then accumulated thereon, and vias are formed by etching. Each via defines the outside surface of the strut 16, 23. The bottom surface of the via forms the conductive layer 33, 71. Thus, the vias can be selectively filled by aluminum CVD process, and the struts 16, 23 can be thus formed.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-201708

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 26/08	E			
B 2 9 D 11/00		7726-4F		
G 0 2 B 5/08	C			
// C 2 3 C 16/06				

審査請求 未請求 請求項の数 1 O L (全 10 頁)

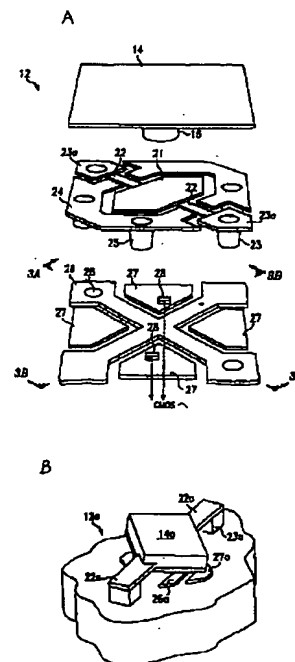
(21) 出願番号	特願平7-253961	(71) 出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 13500
(22) 出願日	平成7年(1995)9月29日	(72) 発明者	ウェイン イー. ベイリー アメリカ合衆国テキサス州ガーランド, カ タルバ 3005
(31) 優先権主張番号	3 1 6 3 0 7	(72) 発明者	ジェームズ シー. バイカー アメリカ合衆国テキサス州コッペル, スパ ーロウ レーン 741
(32) 優先日	1994年9月30日	(74) 代理人	弁理士 浅村 皓 (外3名)
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 低温CVDによるデジタルマイクロミラーデバイス製造方法

(57) 【要約】

【課題】 マイクロメカニカルデバイス用の進歩した支柱を作製する方法。

【解決手段】 基板上の、支柱(16、23)を配置すべきすべての場所に導電層(33、71)を堆積させる。次に、スペーサー層(41、81)を堆積させ、エッチしてビア(41a、81a)を形成する。各ビア(41a、81a)が支柱(16、23)の外側表面を定義する。各ビアの底面は導電層(33、71)になっている。これにより、アルミニウムCVDプロセスがビア(41a、81a)を選択的に充填することができ、従って支柱(16、23)を形成できる。



## 【特許請求の範囲】

【請求項1】 支柱によって支えられた少なくとも1個の機械的要素を有するマイクロメカニカルデバイスのための前記支柱を作製する改良された方法であって、基板上へ導電層を堆積させること、前記導電層を覆ってスペーサー層を堆積させること、前記スペーサー層中へ支柱の外側表面を定義するビアをエッチングすることであって、ビアの底部が前記導電層になるまで前記スペーサー層を貫通してエッチングすること、前記スペーサー層の上部をアルミニウムの化学蒸着（CVD）に曝すこと、および前記ビアが所望の高さにアルミニウムで充填されるまで前記蒸着工程を続けること、の工程を含む方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はマイクロメカニカルデバイスに関するものであり、更に詳細にはデジタルマイクロミラーデバイスと化学蒸着法（CVD）によってそれを製造する方法とに関する。

## 【0002】

【従来の技術】電気-機械技術分野での最近の進展は、各種メカニカルデバイスの超小型化にある。そのようなデバイスの代表的なものは、小型のギア、レバー、およびバルブである。これら”マイクロメカニカル”デバイスは、しばしば電気的な制御回路とともに、集積回路技術を使用して作製される。一般的な用途としては加速度計、圧力センサー、およびアクチュエーターが含まれる。別の1つの例として、マイクロメカニカル画素から空間光変調器が構成される。

【0003】マイクロメカニカル空間光変調器の1つの型はデジタル・マイクロミラーデバイス（DMD）であって、それは変形可能なミラーデバイスと呼ばれることもある。DMDは小型の傾くことのできるミラーを数百または数千個含むアレイを有する。DMDへ入射する光は、結像面へ向かって各ミラーによって選択的に反射されて像を形成するか、もしくはその方向から反れて反射される。ミラーの傾斜を許容するように、各ミラーは、下層の制御回路から上方へ空隙によって隔てられて、支柱上に設置された1個または複数個のヒンジに取り付けられている。この制御回路は、各ミラーの選択的な傾斜を引き起こす静電的な力を供給する。

## 【0004】

【発明が解決しようとする課題】DMDの設計には各種のものがあり、それらの大部分がヒンジを取り付ける支柱の作製を含んでいる。支柱の作製は基本的に2つの方式で行われている。第1の方式はスペーサー材料層の中にビアをエッチするものである。次に、そのビアの中へ金属を堆積させて各ビアの内面を金属で被覆し、それによって各ビアの中に中空の金属支柱を形成する。第2の

方式はスペーサー材料を選択的にエッチして、残る材料で固体支柱を形成するものである。

## 【0005】

【課題を解決するための手段】本発明の1つの態様は、マイクロメカニカルデバイス用の支柱を作製する進歩した方法である。基板上へ導電層が堆積される。導電層を覆ってスペーサー層が堆積され、スペーサー層中へビアがエッチされる。これらのビアが” 鋳型” として用いられて、各ビアが支柱の外側表面を定義する。このエッチングはスペーサー層を貫通するように行われて、各ビアの底面は前記導電層となる。次に、スペーサー層の上面がアルミニウムの化学蒸着法（CVD）に曝される。この蒸着を続けることによってビアには所望の高さにアルミニウムが充填される。このCVD堆積は選択性のものであり、各ビア底面にある導電層のためにアルミニウムが堆積するのはビアの内部だけであり、スペーサー層の表面には堆積しない。次に、このスペーサー層が平坦な表面として用いられて、その上へ他の要素が作製され、最後にはスペーサー層は除去される。

20 【0006】本発明の1つの特長は、上面全体が反射性のミラー要素を提供できることである。その結果、本DMDは光の利用の点で更に効率の高いものとなる。支柱金属の堆積は化学蒸着法（CVD）によって行われるが、この方法は低温プロセスであって、基板上にフォトリソを乗せたままで行うことができる。また、CVDは既に取り付けられている導電層に対して選択的であり、CVD堆積の後にCVD材料をエッチングする必要がない。

## 【0007】

30 【発明の実施の形態】一例として、以下の説明は、しばしば” 変形可能なミラーデバイス” と呼ばれる、特別な型の” デジタルマイクロミラーデバイス” （DMD）に関して行う。従来の技術の項で述べたように、DMDの1つの用途として像の形成がある。そこにおいて、DMDは結像面の方向へ選択的に光を反射させるように働く変形可能なミラーのアレイを含んでいる。DMDによって形成される像はディスプレイシステムやノンインパクトプリント用として利用できる。光学的ステアリング、光学的スイッチング、および加速度計のような像形成を含まないDMDのその他の用途も可能である。それらの用途のうち、加速度計のような応用においては、” ミラー” は必ずしも反射性のものでなくてよく、印加される力は静電的なものではなく加速度によるものである。更に、いくつかの応用においては、DMDはデジタルモードで動作する必要がない。

40 【0008】一般に、” DMD” という用語は、偏向可能なようにヒンジで止められて、印加される力に応じてそれが接触する基板から上方へ空隙で以て隔てられて位置する質量体を少なくとも1個有する任意のマイクロメカニカルデバイスを含むものとしてここでは使用されて

いる。以下に説明するように、本発明はいくつかの態様を有し、それらに共通する特徴は製造工程へアルミニウムのCVDを採用しているということである。”アルミニウムCVD”の意味するところは、堆積される材料が主として、あるいは完全にアルミニウムであるようなCVD堆積である。

【0009】図1は、ミラー要素12アレイを有するDMD10の部分平面図である。図1の中で、各ミラー要素12のうちミラー14だけが見えている。典型的なDMD10では、ミラー要素12は中心間隔17ミクロンで作製される。以下で図10に関連して述べるように、本発明の1つの特徴は、各ミラー14の下で支柱が選択的なCVDプロセスの性質のために隠されてしまい、各ミラー14の表面全体が反射性を持つということである。

【0010】図2Aは単一のミラー要素12の展開鳥瞰図である。例として、DMD10はヒンジが隠れたタイプのDMDとなっている。他のDMD設計でもそうであるが、ヒンジ22は支柱23上に取り付けられている。それに加えて、番地電極24が電極柱25によって、ヒンジ22およびヒンジ支柱23と同じレベルに支えられている。ミラー14はヒンジ/電極層の上方に形成され、ミラー支柱16によって支えられている。

【0011】ミラー支柱16は着地ヨーク21の上方に形成される。着地ヨーク21は捻りヒンジである2個のヒンジ22のそれぞれの一端へ取り付けられる。各ヒンジ22の他端はヒンジ支柱23へ取り付けられる。ヒンジ支柱23および電極支柱25は、ヒンジ22、番地電極24、および着地ヨーク21を制御バス26および番地パッド27の上方に支えている。ミラー14が傾く時、着地ヨーク21の先端は制御バス26に接触する。制御バス26および着地パッド27は、典型的にはCMOS製造技術を用いて基板内に作製される番地および制御回路の基板との間に、適当な電氣的ピアコンタクト28を有している。

【0012】このように、ヒンジが隠れたDMD10の各ミラー要素12は3つの基本的な構造レベルを有している。コンタクトレベルにはバス26とパッド27が含まれる。ヒンジレベルにはヨーク21、ヒンジ22、および番地電極24が含まれる。ミラーレベルにはミラー14が含まれる。

【0013】以下で図3ないし図11に関連して説明するように、本発明の1つの態様は、ミラー支柱16、ヒンジ支柱23、および電極支柱25が化学的堆積(CVD)プロセスで堆積させたアルミニウムを含むことである。別の1つの態様は、パターニングおよびエッチングされる金属層の厚さを減らすために、堆積が用いられているということである。更に詳細には、金属層のパターニングは、薄い導電層を堆積およびエッチして所望の要素の形状に形成しておき、その後、選択的CVD堆積に

よってその要素の厚さを厚くすることで実現できる。

【0014】図2Bは、本発明が有用な別のタイプのDMDのミラー要素12aを示している。これは捻り梁型のものであって、そのヒンジ22aは隠れておらず、ミラー14aの両側から突き出ている。図2Bのデバイスで、ヒンジ支柱23aは本発明に従ってピアをCVDのアルミニウムで充填することによって作成され、電極26aおよび27aは薄い層をエッチし、CVDアルミニウムで厚さを増やすことによって作成されよう。その他のタイプのDMDには片持ち梁型のもや撓み梁型のものである。”空間光変調器およびその方法(Spatial Light Modulator and Method)”と題する米国特許第4,662,746号,”空間光変調器(Spatial Light Modulator)”と題する米国特許第4,956,610号,”空間光変調器およびその方法(Spatial Light Modulator and Method)”と題する米国特許第5,061,049号,”多重レベルの変形可能なミラーデバイス(Multi-level Deformable Mirror Device)”と題する米国特許第5,083,857号、および”進歩した多重レベルデジタルマイクロミラーデバイス(Improved Multilevel Digital Micromirror Device)”と題する米国特許出願第08/171,303号には各種の型のDMDが述べられている。これらの特許はすべてテキサスインスツルメンツ社に譲渡されており、ここに参考のために引用する。

【0015】像表示の用途における動作時には、光源がDMDの表面を照らす。この光をミラー要素12アレイの寸法にほぼ合わせて整形し、またこの光をそれらの方向へ向けるためにレンズ系を使用することができる。ミラー支柱16がヒンジ22の制御下でミラー14の回転を許容する。ミラー14は、番地電極24へ適当な電圧を印加することによって生ずる静電的な力に応答して回転する。ミラー14が回転するとヨーク21が着地電極24へ接触する。ミラー14が回転すると、ヨーク21がバス26へ接触する。

【0016】下層のCMOS回路のメモリセル中のデータに依存した電圧が、ミラー14の対向する隅下に位置する2つの番地電極24へ印加される。番地電極24に対して選択的な電圧供給を行うことによって、ミラー14とそれらの番地電極24との間に静電力が発生する。この静電力が各ミラー14を約+10度(オン)または約-10度(オフ)のいずれかに傾斜させ、それによって、DMDの表面へ入射する光の変調が行われる。”オン”ミラー14で反射された光は、表示光学系を通じて結像面へ向かう。”オフ”ミラー14からの反射光は結像面からは外れてしまう。結果のパターンが像を形成する。各像フレーム間での、ミラー14が”オン”である

時間長がグレイ度を決定する。カラーホイール (color wheel) または3-DMD構成を採用することによって色を加えることができる。

【0017】実効的には、ミラー14とそれの番地電極24とがコンデンサーを構成する。ミラー14およびそれの番地電極24に対して適切な電圧が印加されると、その結果静電力 (引力または斥力) が生じて、ミラー14は吸引する番地電極24の方向へ傾斜するか、あるいは反発する番地電極24から遠ざかるように傾斜する。ミラー14はヨーク21がバス26に接するまで傾く。

【0018】一旦、番地電極24とミラー14との間の静電力が取り除かれると、ヒンジ22に蓄えられていたエネルギーが、ミラー14を未偏向位置へ戻す復帰力を提供する。ミラー14をその未偏向位置へ戻すのを助けるために、ミラー14または番地電極24に対して適当な電圧を供給することもできる。

【0019】

【実施例】図3ないし図11は本発明の方法態様を示している。例として、既に述べたヒンジが隠れたタイプのDMD10のミラー要素12を作製する場合について本発明の方法を説明する。CVD工程の説明を除いて、この型のDMDの製造過程の詳細については既に引用した米国特許出願第08/171,303号に開示されている。適切な修正を施せば、本方法はその他の型のDMD、あるいは支柱を有するその他の型のマイクロメカニカルデバイス製造に適用できる。

【0020】図3Aおよび図3Bはヒンジが隠れたDMD10のミラー要素12のコンタクトレベルを示している。図3Aおよび図3Bを図2Aと比較すると、図3Aはライン3A-3Aに沿った断面図であり、図3Bはライン3B-3Bに沿った断面図で、いずれもコンタクト28部分を示している。本方法は下層の番地および制御回路が既に作製されていることを想定している。この回路はCMOS基板31として示されている。基板31は保護用の酸化物層32で覆われている。

【0021】本発明の1つの態様は選択性のCVD堆積の使用であり、そのため、制御バス26および着地番地パッド27のパターニングおよびエッチングは従来のパターニングおよびエッチングよりももっと薄い層で実現できる。

【0022】まず、薄い金属層33aを堆積させ、そこから制御バス26および着地番地パッド27の第1層をパターニングおよびエッチングする。“薄い”という表現によって意味するのは、層33aが制御バス26およびパッド27に望ましい厚さよりも相対的に薄いということである。ここで、それらの要素の望ましい厚さが約3,000オングストロームとした場合、層33aは約300オングストロームの厚さを有する。層33aの目的のための“薄い”という厚さは、層33aおよび33bの合計の厚さの1/10のオーダーにある。層33a

のための適した材料はチタン・タングステンの合金である。バス26およびパッド27がパターニングされた後に、それらは第2の金属層33bをCVD堆積させることによって厚くされる。この第2の金属層は所望の厚さになるまで、パターニングされた要素の上へ選択的に堆積される。結果の構造は、エッチされた層33aとCVD層33bとを含む金属層33である。あるいは、既存のDMD製造プロセスにおけるように、層33を1つの層として堆積させ、エッチすることによって制御バス26およびパッド27を形成してもよい。制御バス26およびパッド27が2段階で層33a/33bとして堆積されるか、あるいは1つの層33として堆積されるかに関わらず、それらは以下で図5に関連して説明するように、以降のアルミニウムCVDに対する導電性表面を提供する。図3Bに示されたように、酸化物層32は、適当な位置において、CMOS基板31の金属へのコンタクトを許容するためのビアを有する。本発明の別の1つの態様は、これらのビア中へアルミニウムの堆積を施してコンタクト28を形成するために、CVDを使用することである。結果の構造ではコンタクトレベルが平坦化されて以降の層形成が容易になる。この平坦化はバス26およびパッド27のパターニングの前あるいは後のいずれかに実行できる。

【0023】図4では、ヒンジスペーサー層41が堆積されて、その上へヨーク21およびヒンジ22を作製すべき平坦な表面が得られている。層41の厚さは着地ヨーク21の下側の空隙の寸法を決定し、それはミラー14の回転角度を決定することになる。典型的なスペーサー層41は約1ミクロンの厚さのものである。スペーサー層41のための典型的な材料はフォトレジストである。

【0024】図4に示されたように、スペーサー層41をパターニングし、エッチすることでビア41aが形成され、それがヒンジ支柱23を定義する。典型的には、ビア41aは丸く、本質的に円柱状の支柱23を定義するが、その他の形状のものでも同様に用いることができる。ビア41aのエッチングはビア41aの底面に導電層33が来るまで行われる。

【0025】図5では、今やビア41aを備えたスペーサー層41を構成する基板上面がアルミニウムCVDに曝される。層33は、CVDの選択的な特性に合わせて各ビア41aの底部に導電面を提供する。堆積は、ビア41aが所望の高さ、例えばスペーサー層41の上面位置に充填されるまで続けられる。ビア41a底部の導電性材料に対するCVDアルミニウムの選択性のために、アルミニウムはビア41aの内部にだけ堆積し、スペーサー層41の表面には堆積しない。図5の堆積の結果、固体の支柱23が得られる。

【0026】図4および図5において、番地電極支柱25のためのビアは見えない。しかし、支柱23に関する

エッチングおよび充填と同時に、それらもビアのエッチングおよびアルミニウムCVDによるビアの充填によって同様に形成される。

【0027】図6では、スペーサー層41および支柱23を覆ってヒンジ金属層61が堆積され、それがパターンニングおよびエッチングされることによってヒンジ22が形成されている。層61の典型的な厚さの範囲は400-1,000オングストロームである。層61のための典型的な材料はアルミニウム合金である。

【0028】図7Aでは、基板上へヨーク金属層71が堆積されており、それはこの時点でパターンニングされているヒンジ22を含んでいる。層71はパターンニングおよびエッチングされてヨーク21と各支柱23上のキャップ23'とを構成している。層71の典型的な厚さは3,000オングストロームである。層61と同様に、層71のための典型的な材料はアルミニウム合金である。

【0029】図7Bは図7Aに対する代替例であり、この場合には図3Bでコンタクトレベルの形成に用いたのと同様の2段階法によってヨーク21およびキャップ23'が形成される。まず、導電層71aが堆積、エッチされる。次に、アルミニウムCVDが実行されて、各ヨーク21およびキャップ23'の上で、それらの要素が所望の厚さになるまで付加的な層71bが追加される。

【0030】図8では、それまでの基板上へミラースペーサー層81が堆積されている。スペーサー層81の典型的な厚さは2,2マイクロメートルである。それは約180℃において紫外線硬化される。ミラー支柱16を定義するためのビア81aがスペーサー層81中にエッチされている。ビア41aと同様に、ビア81aの底面はここでは層71の導電層になっている。

【0031】図9では、図5のCVD堆積と同様に、ビア81a中へCVDでアルミニウムが堆積されている。層71の金属が、CVDの選択性に合った導電性表面を提供する。この結果、アルミニウムがビア81aを充填し、ミラー支柱16を形成する。CVDの選択性のために、アルミニウムはスペーサー層81の表面には堆積しない。このCVDは、ビア81aが所望のレベル、例えば、ほぼスペーサー層81の上面レベルに充填されるまで続けられる。結果は、各支柱16がアルミニウムの固体物を含む構造である。

【0032】図10では、導電材料の薄い層101aが堆積されている。層101aは約300オングストロームの厚さであり、スパッタリングのような従来の手段で堆積される。層101aのための典型的な材料はタンタムステン合金である。層101aはミラー14の形状にエッチされ、その後CVDによって層101bが堆積される。CVDのため、層101bはスパッタリング等のその他の堆積法よりも細かい粒子でできている。

この結果、優れた反射特性が得られる。

【0033】図10に示されたように、支柱16が固体であるため、層101aおよび101bは平坦な表面を構成する。この結果、ミラー14の全体的な反射特性に寄与する一様なミラー表面が得られる。

【0034】図11では、ウエハがチップに分割されている。チップはプラズマエッチング室中に設置され、そこでスペーサー層41および81が除去される。これにより、ミラー14の下方に空隙が生じ、またヨーク21の下方にも別の空隙が生じて、DMD10の動作中におけるそれらの傾斜動作が許容されるようになる。

【0035】本発明の1つの特徴は、すべてのCVD工程が低温で実行できるということである。“低温”という意味は、それ以前に堆積されているフォトレジストを顕著に劣化させることのない温度のことである。これは通常、400℃よりも低温を意味する。

【0036】

【その他の実施例】本発明は特定の実施例に関して説明してきたが、この説明は限定的な意図のものではない。開示実施例に対する各種の修正が、代替実施例とともに、当業者には明らかであろう。従って、本発明の特許請求の範囲は本発明の真のスコープに含まれるすべての修正を包含するものと解釈されるべきである。

【0037】以上の説明に関して更に以下の項を開示する。

(1) 支柱によって支えられた少なくとも1個の機械的要素を有するマイクロメカニカルデバイスのための前記支柱を作製する進歩した方法であって、基板上へ導電層を堆積させること、前記導電層を覆ってスペーサー層を堆積させること、前記スペーサー層中へ支柱の外側表面を定義するビアをエッチングすることであって、ビアの底部が前記導電層になるまで前記スペーサー層を貫通してエッチングすること、前記スペーサー層の上部をアルミニウムの化学蒸着(CVD)に曝すこと、および前記ビアが所望の高さにアルミニウムで充填されるまで前記蒸着工程を続けること、の工程を含む方法。

【0038】(2) 第1項記載の方法であって、前記導電層を堆積させる工程がチタンを含む材料で以て実行される方法。

【0039】(3) 第1項記載の方法であって、前記導電層を堆積させる工程が、前記導電層が約300オングストロームの厚さになるまで実行される方法。

【0040】(4) 第1項記載の方法であって、前記スペーサー層を堆積させる工程がフォトレジストで以て実行される方法。

【0041】(5) 第1項記載の方法であって、前記化学蒸着に曝す工程が400℃よりも低い温度で実行される方法。

【0042】(6) ヒンジ支柱、前記ヒンジ支柱から延びるヒンジ、前記ヒンジに取り付けられたミラーの各要

素であって、加えられる力にตอบสนองして前記ミラーが偏向できるように前記ヒンジが変形可能になった前記各要素を有するミラー要素をその上に作製された基板を有するタイプのデジタルマイクロミラーデバイスを作製する進歩した方法であって、基板上へ導電層を堆積させること、前記導電層を覆ってスペーサー層を堆積させること、前記スペーサー層中へ支柱の外側表面を定義するビアをエッチングすることであって、ビアの底部が前記導電層になるまで前記スペーサー層を貫通してエッチングすること、前記スペーサー層の上部をアルミニウムの化学蒸着に曝すこと、および前記ビアが所望の高さにアルミニウムで充填されるまで前記蒸着工程を続けること、の工程を含む方法。

【0043】(7) 第6項記載の方法であって、前記導電層を堆積させる工程がチタンを含む材料で以て実行される方法。

【0044】(8) 第6項記載の方法であって、前記導電層を堆積させる工程が、前記導電層が約300オングストロームの厚さになるまで実行される方法。

【0045】(9) 第6項記載の方法であって、前記スペーサー層を堆積させる工程がフォトレジストで以て実行される方法。

【0046】(10) 第6項記載の方法であって、前記化学蒸着に曝す工程が400℃よりも低い温度で実行される方法。

【0047】(11) 第6項記載の方法であって、更に、まず薄い導電性ヒンジ層を堆積させ、前記ヒンジ層をパターニングおよびエッチングし、次に前記パターニングされたヒンジ層を覆ってアルミニウムCVDによる堆積を行って前記ヒンジの厚さの残りの分を堆積させることによってヒンジを作製する工程を含む方法。

【0048】(12) 第6項記載の方法であって、更に、まず薄い導電性ミラー層を堆積させ、前記ミラー層をパターニングおよびエッチングし、次に前記パターニングされたミラー層を覆ってアルミニウムCVDによる堆積を行って前記ミラーの厚さの残りの分を堆積させることによってミラーを作製する工程を含む方法。

【0049】(13) ヒンジ支柱、前記ヒンジ支柱から延びるヒンジ、前記ヒンジに取り付けられたヨーク、前記ヨーク上のミラー支柱、および前記ミラー支柱上に搭載されたミラーの各要素であって、力を加えられた場合に前記ミラーが偏向できるように前記ヒンジが変形可能になった前記各要素を有するミラー要素をその上に作製された基板を有するタイプのデジタルマイクロミラーデバイスを作製する進歩した方法であって、前記基板上へ導電層を堆積させることによってヒンジ支柱を作製すること、前記導電層を覆って第1のスペーサー層を堆積させること、前記第1のスペーサー層中へヒンジ支柱の外側表面を定義するビアを、各ビアの底面が前記導電層になるまで前記第1のスペーサー層を貫通してエッチング

すること、前記第1のスペーサー層の上部をアルミニウム化学蒸着に曝すこと、および前記ビアが所望の高さにアルミニウムで充填されるまで前記化学蒸着工程を続けること、前記ヒンジおよび前記ヨークを作製すること、および前記ヨークを覆って第2のスペーサー層を堆積させることによって前記ミラー支柱を作製すること、前記第2のスペーサー層中へミラー支柱の外側表面を定義するビアを、各ビアの底面が前記ヨーク層になるまで前記第2のスペーサー層を貫通してエッチングすること、前記第2のスペーサー層の上部をアルミニウム化学蒸着に曝すこと、および前記ビアが所望の高さにアルミニウムで充填されるまで前記化学蒸着工程を続けること、の工程を含む方法。

【0050】(14) 第13項記載の方法であって、前記導電層を堆積させる工程がチタンを含む材料で以て実行される方法。

【0051】(15) 第13項記載の方法であって、前記導電層を堆積させる工程が、前記導電層が約300オングストロームの厚さになるまで実行される方法。

【0052】(16) 第13項記載の方法であって、前記第1スペーサー層を堆積させる工程および前記第2スペーサー層を堆積させる工程がフォトレジストで以て実行される方法。

【0053】(17) 第13項記載の方法であって、前記化学蒸着に曝す工程が400℃よりも低い温度で実行される方法。

【0054】(18) 第13項記載の方法であって、更に、まず薄い導電性ヨーク層を堆積させ、前記ヨーク層をパターニングおよびエッチングし、次にアルミニウムCVDによって前記ヨークの厚さの残りの分を堆積させることによってヨークを作製する工程を含む方法。

【0055】(19) 第13項記載の方法であって、更に、まず薄い導電性ミラー層を堆積させ、前記ミラー層をパターニングおよびエッチングし、次にアルミニウムCVDによって前記ミラーの厚さの残りの分を堆積させることによってミラーを作製する工程を含む方法。

【0056】(20) マイクロメカニカルデバイス(10)用の進歩した支柱(16、23)。基板上の、支柱(16、23)を配置すべきすべての場所に導電層(33、71)を堆積させる。次に、スペーサー層(41、81)を堆積させ、エッチしてビア(41a、81a)を形成する。各ビア(41a、81a)が支柱(16、23)の外側表面を定義する。各ビアの底面は導電層(33、71)になっている。これにより、アルミニウムCVDプロセスがビア(41a、81a)を選択的に充填することができ、従って支柱(16、23)を形成できる。

【図面の簡単な説明】

【図1】本発明に従って作製された、ヒンジが隠れたデジタルマイクロミラーデバイス(DMD)を示す図。

【図2】Aは本発明に従って作製された、ヒンジが隠れたデジタルマイクロミラーデバイス(DMD)を示す図。Bは本発明に従って作製された捻り梁DMDを示す図。

【図3】本発明の方法の工程図であって、スタートとなる基板の、Aは図2Aのライン3A-3Aに沿っての、Bは図2Aのライン3B-3Bに沿っての断面図。

【図4】本発明の方法の工程図であって、ヒンジスペーサー層を堆積させ、パターニングおよびビア41aのエッチングが行われた段階の断面図。

【図5】本発明の方法の工程図であって、ビア41aを充填するアルミニウムCVDが行われた段階を示す断面図。

【図6】本発明の方法の工程図であって、ヒンジ層を堆積させ、パターニングおよびエッチングした段階の断面図。

【図7】本発明の方法の工程図であって、Aはヨーク金属層71およびキャップ層23'を一体で堆積させ、パターニングおよびエッチングした段階の断面図であり、Bはヨーク層とキャップ層とを2段階で形成した場合の断面図。

【図8】本発明の方法の工程図であって、ミラースペーサー層を堆積させ、ビア81aをエッチングした段階の断面図。

【図9】本発明の方法の工程図であって、ビア81a中へアルミニウムCVDの充填を行った段階の断面図。

【図10】本発明の方法の工程図であって、導電層101aを堆積させ、ミラー形状にエッチングした後に、CVD層101bを堆積させた段階の断面図。

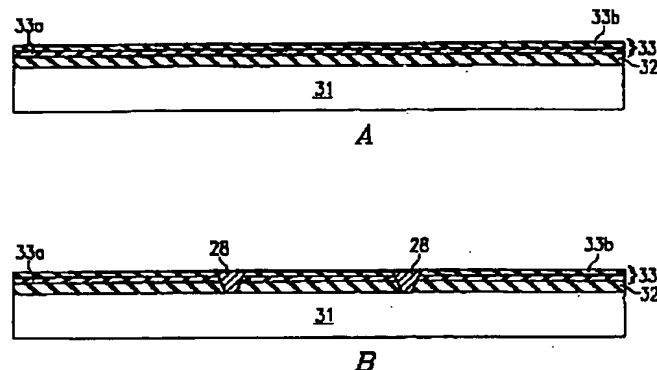
【図11】本発明の方法の工程図であって、ウエハをチップに切断し、プラズマエッチングによってスペーサー層41および81を除去した段階の断面図。

【符号の説明】

10 DMD

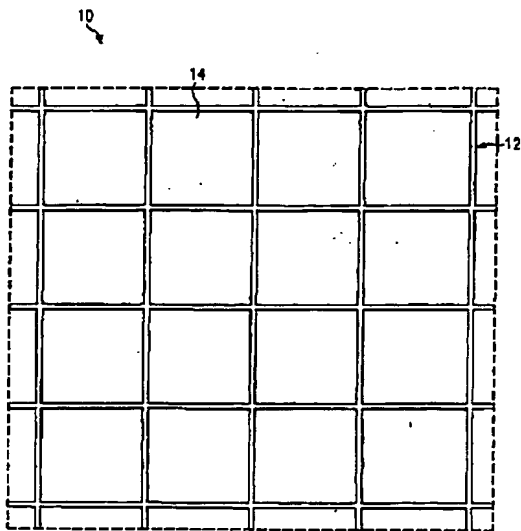
- 12 ミラー要素
- 12a ミラー要素
- 14 ミラー
- 14a ミラー
- 16 ミラー支柱
- 21 着地ヨーク
- 22 ヒンジ
- 22a ヒンジ
- 23 ヒンジ支柱
- 23a ヒンジ支柱
- 23' キャップ
- 24 番地電極
- 25 番地電極支柱
- 26 制御バス
- 26a 制御バス
- 27 番地パッド
- 27a 番地パッド
- 28 コンタクト
- 31 CMOS基板
- 32 酸化物層
- 33 金属層
- 33a 薄い金属層
- 33b 薄い金属層
- 41 ヒンジスペーサー層
- 41a ビア
- 61 ヒンジ金属層
- 71 ヨーク金属層
- 71a 導電層
- 71b 導電層
- 81 ミラースペーサー層
- 81a ビア
- 101a 薄い導電層
- 101b 薄い導電層

【図3】

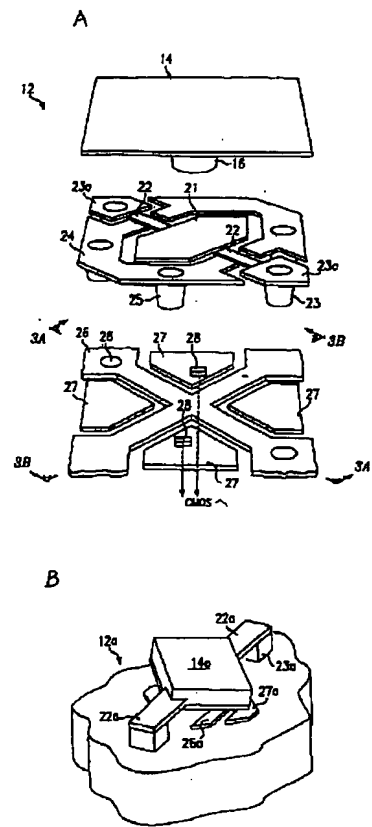




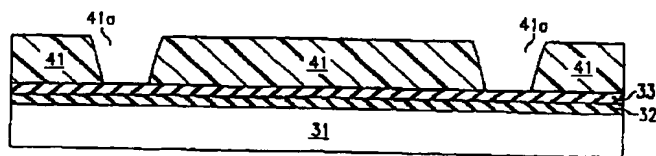
【図1】



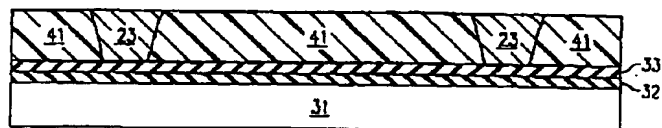
【図2】



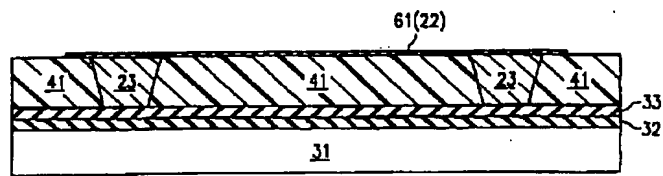
【図4】



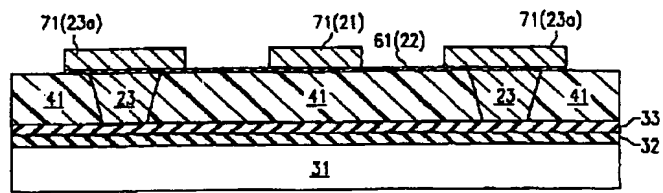
【図5】



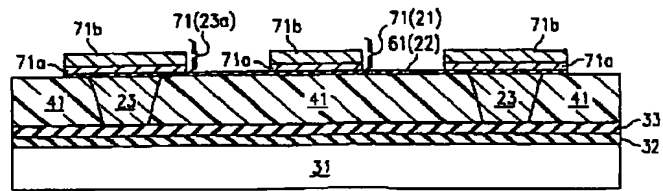
【図6】



【図7】

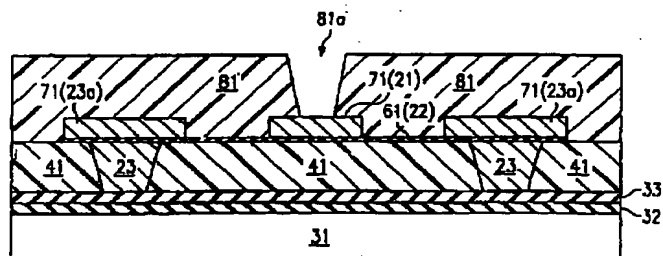


A

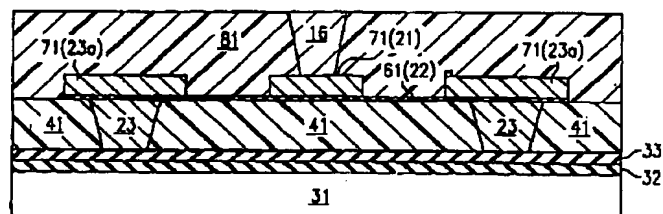


B

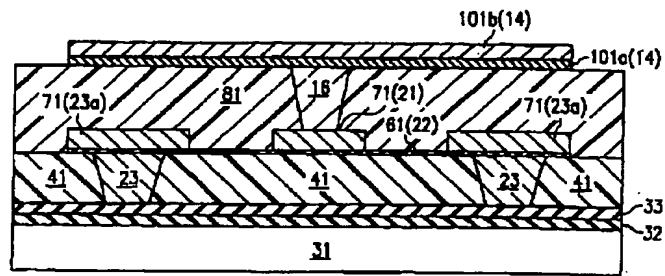
【図8】



【図9】



【図 10】



【図 11】

